

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2002-315177  
(P2002-315177A)

(43)公開日 平成14年10月25日(2002.10.25)

(51) Int.Cl.<sup>7</sup>  
H 0 2 H 3/087  
G 0 1 R 19/165  
H 0 2 H 7/00  
7/20  
H 0 2 M 1/00

識別記号

F 1

テーマカード(参考)

H 0 2 H	3/087
G 0 1 R	19/165
H 0 2 H	7/00
	7/20
H 0 2 M	1/00

2G035  
5G004  
5G053  
5H740  
5J055

審査請求 未請求 請求項の数11 OL (全 14 頁) 最終頁に続く

(21)出願番号 特願2001-118219(P2001-118219)

(71) 出願人 000006895

矢崎総業株式会社

東京都港区三田1丁目4番28号

(22)出願日 平成13年4月17日(2001.4.17)

(72) 発明者 大島 優哉

静岡県湖西市鷺津2464-48 矢崎部品株式  
会社内

(74)代理人 100083806

弁理士 三好 秀和 (外8名)

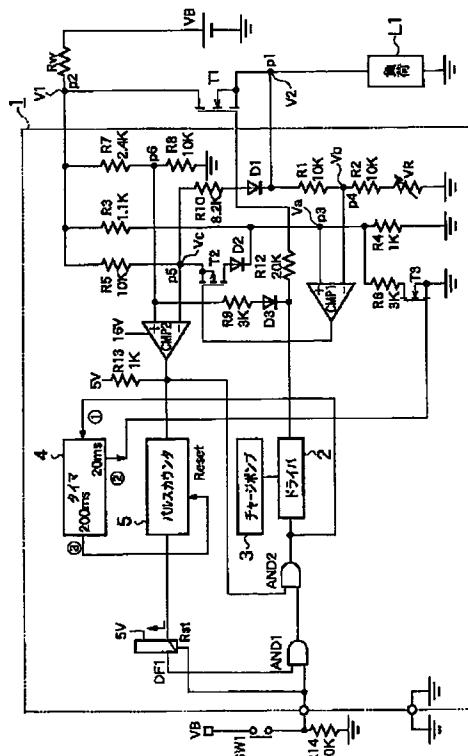
最終頁に続く

(54) 【発明の名称】 過電流検出装置

(57) 【要約】

【課題】 小型化、低コスト化を図ることのできる過電流検出装置を提供することが課題である。

【解決手段】 パワートランジスタT1の負荷側端子と接地電位との間の電圧を分圧比bにて分圧して第1の電圧を生成し、パワートランジスタT1の電源側端子と接地電位との間の電圧を分圧比aにて分圧して第2の電圧を生成する。そして、分圧比bを固定した状態で、分圧比aを調整することにより、第1の電圧と第2の電圧とが等しくなるように制御し、分圧比aの変化量に基づいて、パワートランジスタT1に流れる過電流を検出する。これにより、過電流の発生を高精度に検出することができ、且つ、装置の小型化、低コスト化を図ることができる。



## 【特許請求の範囲】

【請求項 1】 直流電源と負荷との間に設置された半導体スイッチをオン、オフ動作させて、前記負荷へ電力供給するように構成された回路の、前記半導体スイッチに流れる過電流を検出する過電流検出装置において、  
前記負荷に電流が流れているときの、前記半導体スイッチと前記直流電源との間に存在する配線インピーダンスによる電圧降下量、及び前記半導体スイッチのオン抵抗による電圧降下量の変化に基づいて、前記半導体スイッチに流れる過電流を検出することを特徴とする過電流検出装置。

【請求項 2】 直流電源と負荷との間に設置された半導体スイッチをオン、オフ動作させて、前記負荷へ電力供給するように構成された回路の、前記半導体スイッチに流れる過電流を検出する過電流検出装置において、  
前記半導体スイッチの負荷側端子と接地電位との間の電圧を分圧比 b にて分圧して第 1 の電圧を生成し、  
前記半導体スイッチの電源側端子と接地電位との間の電圧を分圧比 a にて分圧して第 2 の電圧を生成し、  
前記分圧比 a、または分圧比 b のうちの一方の分圧比を固定した状態で、他方の分圧比を調整することにより、前記第 1 の電圧と第 2 の電圧とが等しくなるように制御し、  
前記他方の分圧比の変化量に基づいて、前記半導体スイッチに流れる過電流を検出することを特徴とする過電流検出装置。

【請求項 3】 直流電源と負荷との間に設置された半導体スイッチをオン、オフ動作させて、前記負荷へ電力供給するように構成された回路の、前記半導体スイッチに流れる過電流を検出する過電流検出装置において、  
前記半導体スイッチの負荷側端子と接地電位との間に、該負荷側端子と接地電位との間の電圧を分圧比 b で分圧する第 1 の抵抗と第 2 の抵抗とを含む直列接続回路を設け、  
前記半導体スイッチの電源側端子と接地電位との間に、該電源側端子と接地電位との間の電圧を分圧比 a で分圧する第 3 の抵抗と第 4 の抵抗とを含む直列接続回路を設け、  
前記第 1 の抵抗と第 2 の抵抗との接続点の電圧を第 1 の電圧とし、前記第 3 の抵抗と第 4 の抵抗との接続点の電圧を第 2 の電圧とし、  
前記第 3 の抵抗、または第 4 の抵抗に流れる電流値を調整することにより、前記第 1 の電圧と第 2 の電圧とが等しくなるように制御し、

前記分圧比 a の変化量に基づいて、前記負荷に流れる過電流を検出することを特徴とする過電流検出装置。  
【請求項 4】 前記第 3 の抵抗は前記半導体スイッチの電源端子側、前記第 4 の抵抗は前記接地電位側に配置され、可変電流回路を前記第 3 の抵抗に対して並列的に設置し

10

20

30

40

50

て、該可変電流回路より出力される電流が前記第 4 の抵抗に流れるようにし、  
前記第 1 の電圧と前記第 2 の電圧とを比較する比較手段を設置し、該比較手段による比較結果に応じて前記可変電流回路に流れる電流値を調整して、前記第 4 の抵抗における電圧降下量を変化させることにより、前記第 1 の電圧と前記第 2 の電圧とが等しくなるように制御することを特徴とする請求項 3 に記載の過電流検出装置。

【請求項 5】 前記可変電流回路は、P チャンネル MOS-FET と第 5 の抵抗からなるソースフォロワ回路を有し、前記 P チャンネル MOS-FET のソースは、前記第 5 の抵抗を介して前記半導体スイッチの電源端子側に接続され、前記 P チャンネル MOS-FET のドレインは、前記第 3 の抵抗と第 4 の抵抗との接続点に接続され、前記 P チャンネル MOS-FET のゲートは、前記比較手段の出力端子に接続され、  
前記比較手段の出力信号に応じて前記 P チャンネル MOS-FET のソース電圧を変化させることにより、前記第 4 の抵抗に流れる電流値を調整し、前記 P チャンネル MOS-FET のソースに発生する電圧が閾値電圧以上となったときに、過電流と判定することを特徴とする請求項 4 に記載の過電流検出装置。

【請求項 6】 前記第 2 の電圧を強制的に所定レベルまで低下させる強制電圧低下手段を具備し、  
前記半導体スイッチの投入時に、予め設定した強制オン時間だけ前記強制電圧低下手段を作動させて、前記第 2 の電圧を強制的に低下させることにより、前記 P チャンネル MOS-FET のソース電圧を低下させ、前記半導体スイッチ投入後に発生する過電流に対し、前記強制オン時間が経過するまで過電流発生と判定しないことを特徴とする請求項 5 に記載の過電流検出装置。

【請求項 7】 前記半導体スイッチに過電流が流れ、前記強制オン時間が予め設定された所定回数繰り返された際には、前記強制電圧低下手段を動作させないことを特徴とする請求項 6 に記載の過電流検出装置。

【請求項 8】 前記強制電圧低下手段は、スイッチング手段と、第 6 の抵抗との直列接続回路からなり、動作時には、前記スイッチング手段をオンとして、前記第 6 の抵抗を前記第 4 の抵抗に対して並列的に接続して、前記第 2 の電圧を低下させることを特徴とする請求項 6 または請求項 7 のいずれかに記載の過電流検出装置。

【請求項 9】 前記強制電圧低下手段が作動することにより低下した前記第 2 の電圧は、前記半導体スイッチにデッドショット時の過電流が流れた際に発生する前記第 1 の電圧よりも大きくなるように設定されることを特徴とする請求項 6 ~ 請求項 8 のいずれか 1 項に記載の過電流検出装置。

【請求項 10】 前記強制電圧低下手段が作動しているときに、前記第 2 の電圧が前記第 1 の電圧よりも大きいと判定された場合には、前記強制オン時間の経過を待た

ずに、過電流判定することを特徴とする請求項6～請求項9のいずれか1項に記載の過電流検出装置。

【請求項11】 前記分圧比aおよび分圧比bを設定する各素子を同一半導体チップ内に設けたことを特徴とする請求項2～請求項10のいずれか1項に記載の過電流検出装置。

#### 【発明の詳細な説明】

##### 【0001】

【発明の属する技術分野】 本発明は、負荷に電源電圧を供給する際に、該負荷と電源との間に介置される半導体スイッチ及び配線に流れる過電流の発生を検出する過電流検出装置に関する。

##### 【0002】

【従来の技術】 例えは、車両に搭載される各種ランプ、モータ等の負荷は、バッテリより供給される直流電圧が印加されて動作する。このような各負荷は、回路の故障や動作不良等に起因して過電流が流れる場合がある。過電流が流れた場合には、半導体スイッチが過熱され、且つ、負荷と電源とを連結するハーネスが過熱され、焼損するというトラブルが発生する。

【0003】 そこで、過電流が発生した際に、いち早くこれを検知し、回路を遮断する過電流検出回路が種々提案されている。過電流検出回路の従来例として、例えは、負荷と電源との間を連結する電線にシャント抵抗を介置し、該シャント抵抗の両端に発生する電圧を検出し、検出された電圧値が所定値を超えたときに回路を遮断する方法が知られている。

【0004】 即ち、負荷に過電流が流れた場合には、シャント抵抗の両端に発生する電圧値が上昇するので、該電圧値を検出し、所定レベルを超えた際に、例えは負荷と電源とを接続するリレーの自己保持回路を遮断することにより、負荷に流れる過電流を防止することができる。

##### 【0005】

【発明が解決しようとする課題】 しかしながら、このような従来における過電流検出回路では、シャント抵抗の両端に発生する電圧値を検出する回路が必要であり、回路規模が大きくなる。従って、広い設置スペースが必要となり、且つ、コストアップにつながるという欠点がある。また、シャント抵抗に電流が流れると、シャント抵抗の発熱によるエネルギー損出が発生するという問題があった。

【0006】 この発明は、このような従来の課題を解決するためになされたものであり、その目的とするところは、回路規模が小さく、且つ、低コストで構成することが可能な過電流検出装置を提供することにある。

##### 【0007】

【課題を解決するための手段】 上記目的を達成するため、本願請求項1に記載の発明は、直流電源と負荷との間に設置された半導体スイッチをオン、オフ動作させ

て、前記負荷へ電力供給するように構成された回路の、前記半導体スイッチに流れる過電流を検出する過電流検出装置において、前記負荷に電流が流れているときの、前記半導体スイッチと前記直流電源との間に存在する配線インピーダンスによる電圧降下量、及び前記半導体スイッチのオン抵抗による電圧降下量の変化に基づいて、前記半導体スイッチに流れる過電流を検出することが特徴である。

【0008】 請求項2に記載の発明は、直流電源と負荷との間に設置された半導体スイッチをオン、オフ動作させて、前記負荷へ電力供給するように構成された回路の、前記半導体スイッチに流れる過電流を検出する過電流検出装置において、前記半導体スイッチの負荷側端子と接地電位との間の電圧を分圧比bにて分圧して第1の電圧を生成し、前記半導体スイッチの電源側端子と接地電位との間の電圧を分圧比aにて分圧して第2の電圧を生成し、前記分圧比a、または分圧比bのうちの一方の分圧比を固定した状態で、他方の分圧比を調整することにより、前記第1の電圧と第2の電圧とが等しくなるよう40に制御し、前記他方の分圧比の変化量に基づいて、前記半導体スイッチに流れる過電流を検出することを特徴とする。

【0009】 請求項3に記載の発明は、直流電源と負荷との間に設置された半導体スイッチをオン、オフ動作させて、前記負荷へ電力供給するように構成された回路の、前記半導体スイッチに流れる過電流を検出する過電流検出装置において、前記半導体スイッチの負荷側端子と接地電位との間に、該負荷側端子と接地電位との間の電圧を分圧比bで分圧する第1の抵抗と第2の抵抗とを含む直列接続回路を設け、前記半導体スイッチの電源側端子と接地電位との間に、該電源側端子と接地電位との間の電圧を分圧比aで分圧する第3の抵抗と第4の抵抗とを含む直列接続回路を設け、前記第1の抵抗と第2の抵抗との接続点の電圧を第1の電圧とし、前記第3の抵抗と第4の抵抗との接続点の電圧を第2の電圧とし、前記第3の抵抗、または第4の抵抗に流れる電流値を調整することにより、前記第1の電圧と第2の電圧とが等しくなるように制御し、前記分圧比aの変化量に基づいて、前記負荷に流れる過電流を検出することを特徴とする。

【0010】 請求項4に記載の発明は、前記第3の抵抗は前記半導体スイッチの電源端子側、前記第4の抵抗は前記接地電位側に配置され、可変電流回路を前記第3の抵抗に対して並列的に設置して、該可変電流回路より出力される電流が前記第4の抵抗に流れるようにし、前記第1の電圧と前記第2の電圧とを比較する比較手段を設置し、該比較手段による比較結果に応じて前記可変電流回路に流れる電流値を調整して、前記第4の抵抗における電圧降下量を変化させることにより、前記第1の電圧と前記第2の電圧とが等しくなるように制御することを

特徴とする。

【0011】請求項5に記載の発明は、前記可変電流回路は、PチャンネルMOS-FETと第5の抵抗からなるソースフォロワ回路を有し、前記PチャンネルMOS-FETのソースは、前記第5の抵抗を介して前記半導体スイッチの電源端子側に接続され、前記PチャンネルMOS-FETのドレインは、前記第3の抵抗と第4の抵抗との接続点に接続され、前記PチャンネルMOS-FETのゲートは、前記比較手段の出力端子に接続され、前記比較手段の出力信号に応じて前記PチャンネルMOS-FETのソース電圧を変化させることにより、前記第4の抵抗に流れる電流値を調整し、前記PチャンネルMOS-FETのソースに発生する電圧が閾値電圧以上となったときに、過電流と判定することを特徴とする。

【0012】請求項6に記載の発明は、前記第2の電圧を強制的に所定レベルまで低下させる強制電圧低下手段を具備し、前記半導体スイッチの投入時に、予め設定した強制オン時間だけ前記強制電圧低下手段を作動させて、前記第2の電圧を強制的に低下させることにより、前記PチャンネルMOS-FETのソース電圧を低下させ、前記半導体スイッチ投入後に発生する突入電流等の正常範囲の過電流に対し、前記強制オン時間が経過するまで過電流発生と判定しないことを特徴とする。

【0013】請求項7に記載の発明は、前記半導体スイッチに過電流が流れ、前記強制オン時間が予め設定された所定回数繰り返された際には、前記強制電圧低下手段を動作させないことを特徴とする。

【0014】請求項8に記載の発明は、前記強制電圧低下手段は、スイッチング手段と、第6の抵抗との直列接続回路からなり、動作時には、前記スイッチング手段をオンとして、前記第6の抵抗を前記第4の抵抗に対して並列的に接続して、前記第2の電圧を低下させることを特徴とする。

【0015】請求項9に記載の発明は、前記強制電圧低下手段が作動することにより低下した前記第2の電圧は、前記半導体スイッチにデッドショート時の過電流が流れた際に発生する前記第1の電圧よりも大きくなるように設定されることを特徴とする。

【0016】請求項10に記載の発明は、前記強制電圧低下手段が作動しているときに、前記第2の電圧が前記第1の電圧よりも大きいと判定された場合には、前記強制オン時間の経過を待たずに、過電流判定することを特徴とする。

【0017】請求項11に記載の発明は、前記分圧比aおよび分圧比bを設定する各素子を同一半導体チップ内に設けたことを特徴とする。

【0018】

【発明の実施の形態】以下、本発明の実施形態を図面に基づいて説明する。図1は、本発明の一実施形態に係る

過電流検出装置、及び電源回路を示す説明図、図2、図3は、本発明の特徴部分を示す回路図である。

【0019】本発明の過電流検出装置は、負荷と電源とを接続する電線上に半導体スイッチが介置された回路において、該半導体スイッチの電源側接続端の電圧と、負荷側接続端の電圧をブリッジ回路を用いて比較することにより、負荷及び半導体スイッチに流れる過電流を検出するものである。

【0020】そして、検出される過電流が、デッドショート（電源とグランドが直接短絡するような大きな短絡事故）のように、大過電流である場合には、負荷電流を即時に遮断し、リアショート（定常の負荷電流の数倍程度の過電流）の場合には、負荷電流を即時に遮断せず、過電流が暫く継続して流れた際に、遮断するように動作するものである。更に、電源投入時の正常な過渡電流（突入電流）により、過電流防止機能が作用しないような構成とされている。

【0021】以下、図2、図3に示す回路図に基づいて、本実施形態に係る過電流検出装置の原理について説明する。

【0022】図2は、ブリッジ回路の接続の様子を示す回路図である。図示のように、負荷L1の電源側の接続点p1と、直流電源VBのプラス側出力端との間には、スイッチング用のパワートランジスタ（半導体スイッチ）T1が介置され、該パワートランジスタT1のソースは、負荷L1の電源側接続点p1に接続され、ドレン（接続点p2）は、配線インピーダンスRwを介して、電源VBのプラス側出力端に接続されている。

【0023】ここで、パワートランジスタT1としては、FET（NMOS或いはPMOS）、バイポーラトランジスタ、IGBT等、スイッチング機能を有する各種の半導体素子を用いることができる。また、配線インピーダンスRwは、負荷電流が流れる回路の全インピーダンス（電源内部抵抗も含む）から、パワートランジスタT1の電源側接続端と接地電位レベル間のインピーダンス（Ron+負荷インピーダンス+パワートランジスタT1からグランドまでの配線インピーダンス）を差し引いたものである。なお、Ronは、パワートランジスタT1のオン抵抗である。

【0024】また、接続点p1は、抵抗R1（第1の抵抗）と抵抗R2（第2の抵抗）の直列接続回路を介してグランド（接地電位）に接続され、接続点p2は、抵抗R3（第3の抵抗）と抵抗R4（第4の抵抗）の直列接続回路を介してグランドに接続されている。そして、抵抗R3と抵抗R4との接続点p3の電圧をVa（第2の電圧）とし、抵抗R1と抵抗R2との接続点p4の電圧をVb（第1の電圧）とする。更に、抵抗R3と抵抗R4の分圧比を「a」、抵抗R1と抵抗R2の分圧比を「b」とする。従って、 $a = R4 / (R3 + R4)$ 、 $b = R2 / (R1 + R2)$ となる。

【0025】更に、負荷電流（過電流状態を含む）をIとし、接続点p2の電圧をV1、接続点p1の電圧をV2、直流電源VBの出力電圧を同一の符号VBで示す。従って、Va=a\*V1、Vb=b\*V2である。

$$\begin{aligned} Va - Vb &= a * V1 - b * V2 \\ &= a (VB - R_w * I) - b (VB - R_w * I - Ron * I) \\ &= VB (a - b) + \{R_w (b - a) + Ron * b\} * I \\ &\dots \quad (1) \end{aligned}$$

上述の(1)式より、負荷電流Iが増加するにつれて差分電圧Va-Vbが変化することがわかる。その変化の形態は、分圧比aと分圧比bとの大小関係で異なり、以下の(イ)～(ハ)に示す3通りとなる。ここで特徴的なことは、a≠bの場合、パートランジスタT1のオン抵抗Ronのみならず、配線インピーダンスRwの影響が差分電圧Va-Vbの変化に現れることである。

#### 【0028】(イ) a > bの場合

差分電圧Va-Vbは、負荷電流Iがゼロのとき、プラスのオフセット値VB(a-b)を有し、負荷電流Iの増加につれて増加する。このときRw(b-a)<0となるため、トランジスタT1のオン抵抗Ronによる増加量(Ron\*b\*I)を配線インピーダンスによる要因Rw(b-a)\*Iが打ち消す働きをする。即ち、Va-Vbは負荷電流の変化に対して鈍感になる。

#### 【0029】(ロ) a = bの場合

(1)式は、Va-Vb=Ron\*b\*Iとなり、Va-VbはRonと負荷電流Iだけで決まり、配線インピーダンスRw、及び電源電圧VBの影響は無くなる。

#### 【0030】(ハ) a < bの場合

差分電圧Va-Vbは、負荷電流Iがゼロのとき、マイナスのオフセット値VB(b-a)を有し、負荷電流Iの増加につれて減少する。このときRw(b-a)>0となるため、トランジスタT1のオン抵抗Ronによる増加量(Ron\*b\*I)を配線インピーダンスによる要因Rw(b-a)\*Iが打ち消す働きをする。即ち、Va-Vbは負荷電流の変化に対して敏感になる。

ここで、符号INを、IN=I/VBと定義する。INは、電源電圧VBで正規化した電流に相当するので、INを用いて上記の(2)式を表わすと、以下の(3)式

$$\begin{aligned} a &= (VB - R_w * I - Ron * I) / (VB - R_w * I) * b \\ &= (1 - R_w * IN - Ron * IN) / (1 - R_w * IN) * b \\ &= \{1 - Ron * IN / (1 - R_w * IN)\} * b \quad \dots \quad (3) \end{aligned}$$

また、(3)式を正規化電流INで微分すると、以下の(4)式が得られる。

$$da/d(IN) = -Ron * b / (1 - R_w * IN)^2 \quad \dots \quad (4)$$

(3)、(4)式より、以下に示す(ニ)～(ト)が理解される。

【0036】(ニ) 負荷電流を正規化電流INで表わすとVa=Vbを維持する分圧比aは電源電圧に依存しない。

【0037】(ホ) 負荷電流が小さいとき、抵抗Rwの影響をほとんど受けない。これは正常電流の数倍程度の過電流検出する場合の特性はRonで決まり、この領域では配線インピーダンスRwの影響を受けないことを意味する。

#### 【0038】(ヘ) 負荷電流が大きくなると分圧比aの

10 20 スのオフセット値VB(a-b)を持ち、負荷電流Iの増加につれて増加する。負荷電流の増加に対する差分電圧Va-Vbの増加率はRw(b-a)+Ron\*bとなり、トランジスタT1のオン抵抗Ronだけでなく、配線インピーダンスRwにも依存し、その依存の度合いは(b-a)に比例して大きくなる。

【0031】本実施形態では、過電流状態を検出するために、差分電圧Va-Vbを用いる。そして、分圧比bを固定すると、負荷電流（過電流も含む）Iの増加により電圧Vbは減少する。その場合に分圧比aを変化させて（減少させて）常にVa-Vb=0となるように制御し、このときの分圧比aの減少量に基づいて、負荷電流Iの増加量を検出する。つまり、Va-Vb=0が成立するということは、(分圧比a) < (分圧比b) が成立することになり、上記の(ハ)の場合を適用することができる。以下、詳しく説明する。

【0032】上述のように、Va-Vb=0の状態では、常に(分圧比a) < (分圧比b) が成立する。そして、Va-Vb=0のときには、分圧比aは次の(2)式で表すことができる。

$$a = (VB - R_w * I - Ron * I) / (VB - R_w * I) * b \quad \dots \quad (2)$$

の如くとなる。

#### 【0033】

#### 【0034】

#### 【0035】

40 値はRwで決まり、Ronの影響は小さくなる。これは、デッドショート時の過電流検出特性はRwに依存することを意味し、かつ配線インピーダンスに合わせたデッドショート検出が可能であることを意味する。即ち、配線インピーダンスが大きくなるほどデッドショートと判定する電流値は小さくなる。

【0039】(ト) 負荷電流増大に連れて急激に分圧比aの値が立ちあがるため、デッドショート検出におけるばらつきが少なくなる。IN=4アンペア以上でデッドショートを確実に検出できる。

【0040】図4は、前述の(2)式を用いて、負荷電

流 I が変化したときの分圧比 a の値を計算した結果を示す特性図であり、ここでは配線インピーダンス R w を 1 50 mΩ 一定として、電源電圧 Vb をパラメータとして 6 V から 16 V まで変化させている。

【0041】また、図 5 は、(3) 式を用いて正規化負荷電流 I N に対する分圧比 a の変化を計算した結果を示す特性図であり、同図より、配線インピーダンス R w をパラメータとして 50 mΩ から 500 mΩ まで変化させている。

【0042】また、図 6 は、(4) 式の計算結果を示す特性図であり、分圧比 a の減少率が配線インピーダンスをパラメータとして表わされている。

【0043】そして、上記の図 4～図 6 に記載された内容から、負荷電流 I が増加すると、分圧比 a の変化率が大きくなることが理解される。従って、(分圧比 a) < (分圧比 b) の条件下では、過大な負荷電流 I が流れた際に、これを高精度に検出することができる。換言すれば、負荷に過電流が流れたときには、電流変化を敏感に検出することができる。

【0044】以下、図 3 に示す回路図を参照しながら、分圧比 a の変化を検出する手順について説明する。

【0045】前述したように、負荷電流 I の大きさは、V a = V b となるように制御すると、分圧比 a の大きさとして現れる。つまり、前述の(ハ)の条件下であるので、図 4～図 6 の特性図に示したように、負荷電流 I の大きさに応じて分圧比 a が変化する。従って、分圧比 a の大小を検出することにより、負荷電流 I が過電流であるかどうかを判定することができる。

【0046】図 3 は、図 2 に示したブリッジ回路に、更に、分圧比 a の変化を測定する機能を附加した回路を示す構成図であり、以下、分圧比 a を測定する原理について説明する。

【0047】図 3 に示すように、抵抗 R 3 と抵抗 R 4 との接続点 p 3 は、コンパレータ CMP 1 のプラス側(非反転側)入力端に接続され、抵抗 R 1 と抵抗 R 2 との接続点 p 4 は、該コンパレータ CMP 1 のマイナス側(反転側)入力端に接続されている。また、抵抗 R 5 (第 5 の抵抗)、トランジスタ T 2 (P チャンネル MOS-FET)、及びダイオード D 2 の直列接続回路が、抵抗 R

$$\begin{aligned} I_2 &= V_a / R_4 - I_1 = V_1 \{ a (1/R_4 + 1/R_3) - 1/R_3 \} \\ V_c &= V_1 - R_5 * I_2 \\ &= V_1 \{ 1 + R_5 / R_3 - R_5 (1/R_4 + 1/R_3) * a \} \\ &= V_1 (1 + R_5 / R_3) - R_5 (1/R_4 + 1/R_3) V_a \\ &\dots \quad (5) \end{aligned}$$

(5) 式を電圧 V a で微分すると、次の(6)式が得られる。

$$d V_c / d (V_a) = -R_5 (1/R_4 + 1/R_3) \dots \quad (6)$$

(6) 式は、電圧 V a に対する電圧 V c の增幅率を表わす。この際、(6) 式の抵抗値は次のように設定する。即ち、I 2 = 0 の場合に V a < V b となるように抵抗 R

3 に対して並列的に接続されており、トランジスタ T 2 のゲートは、コンパレータ CMP 1 の出力端と接続されている。なお、抵抗 R 5 とトランジスタ T 2 にて、請求項に記載した可変電流回路が構成される。

【0048】更に、抵抗 R 6 (第 6 の抵抗) とトランジスタ T 3 (スイッチング手段) との直列接続回路(強制電圧低下手段)が抵抗 R 4 に対して並列的に接続されている。また、トランジスタ T 2 と抵抗 R 5 とによりソースフォロワ回路が構成される。

【0049】ここで、負荷電流 I の変化により、電圧 V a が電圧 V b よりも大きくなると、コンパレータ CMP 1 の出力信号レベルが増大し、トランジスタ T 2 のゲート電位を押し上げる。このためソースフォロア回路(抵抗 R 5 とトランジスタ T 2)の抵抗 R 5 の電圧降下量が減少し抵抗 R 5 を流れる電流 I 2 が減少する。この電流 I 2 はトランジスタ T 2 → ダイオード D 2 → 抵抗 R 4 → グランドの経路で流れるので、電流 I 2 の減少に伴って、抵抗 R 4 における電圧降下量が減少し、電圧 V a は減少して V b に等しくなる。

【0050】また、電圧 V b より電圧 V a が小さくなると、コンパレータ CMP 1 の出力が低下し、トランジスタ T 2 のゲート電位が低下して、抵抗 R 5 の電圧降下量が増加し、電流 I 2 が増加する。このため、抵抗 R 4 の電圧降下量が増大して、電圧 V a は電圧 V b に等しくなる。

【0051】即ち、電流 I 2 のフィードバック動作により、常に電圧 V a は電圧 V b に等しくなるように制御される。V a = V b を維持する電圧 V a の変化は抵抗 R 5 の電圧降下として現れるので、抵抗 R 5 とトランジスタ T 2 のソースとの接続点 p 5 の電位 V c を検出することにより、電圧 V a の変化、即ち、分圧比 a の変化を検出することができる。電圧 V c と、分圧比 a または電圧 V a の関係を式に表わすと、次の(5)式のようになる。

【0052】抵抗 R 3 を流れる電流を I 1 とすると、V a = R 4 (I 1 + I 2)、V 1 = V a + R 3 \* I 1、a = V a / V 1 となる。従って、次の(5)式を得ることができる。

### 【0053】

### 【0054】

3、抵抗 R 4 の抵抗値を設定する。つまり、R 1 = R 2 の場合は R 3 > R 4 となる。電流 I 2 が流れることにより、V a = V b となるように抵抗 R 3、R 4、R 5 の値を

選定する。抵抗R5は電流I2の変化範囲を決める。抵抗R5を大きくすると電流I2の変化範囲は小さくなり、抵抗R5を小さくすると電流I2の変化範囲は大きくなる。

【0055】 $I_2 * R_4$ がほぼ電圧Vaの調整範囲となる。抵抗R5を大きくすれば電圧Vaの調整範囲が狭くなる。

【0056】一例として、 $R_3 = 1.1\text{K}\Omega$ 、 $R_4 = 1\text{K}\Omega$ 、 $R_5 = 10\text{K}\Omega$ 、 $R_1 = R_2 = 10\text{K}\Omega$ とすると、 $dV_c/d(V_a) = -19.1$ となる。負荷電流Iの増大により分圧比bが減少すると電圧Vaは減少し、電圧Vcは増加する。その増加量は、電圧Vaの減少量の19.1倍となる。

【0057】次に、過電流判定値の過渡成分の設定について説明する。図3に示すトランジスタT3がオンすると、抵抗R6が抵抗R4に対して並列的に接続され、点p3とグランドとの間の抵抗値が減少するので、電圧Vaは低下する。そして、電圧Vaが電圧Vbよりも小さくなると、コンパレータCMP1の出力信号は「L」レベルとなり、抵抗R5に流れる電流I2は増加する。従って、点p5における電圧Vcは低下する。この際、電圧Vcは $(V_a + 0.7\text{V})$ までしか低下しない。なお、「0.7V」は、ダイオードD2の電圧降下分である。

【0058】従って、 $V_c = V_a + 0.7\text{V}$ のとき、電流I2は最大値となり、この状態においても、 $V_a < V_b$ の場合には、コンパレータCMP1の出力信号が「L」レベルに貼り付き、トランジスタT2はソースフォロワとならずに、飽和状態となる。

【0059】この状態で、負荷電流Iが増加し、電圧Vbが低下して $V_a > V_b$ となると、電圧Vcは最小値から上昇し始める。即ち、トランジスタT3がオンすると、電圧Vcは、所定値以上の負荷電流が流れるまでは、最小値にロックされる。これにより、過電流判定値を大幅に大きくとることが可能となる。

【0060】電源投入時の突入電流等、正常な過渡電流が流れるとき、これを上回る過電流判定値を設定する必要がある。本実施形態では、上記の手法を用いて、そのときの過電流判定値を設定している。

【0061】次に、図1に示す回路図に基づいて、本発明が適用された過電流検出装置について説明する。

【0062】図1に示すように、過電流検出装置1は、例えば車両に搭載されるランプやモータ等の負荷L1に流れる電流が過電流となった場合に、これを検出し、必要に応じて回路を遮断することにより、負荷L1及び回路を保護するものである。

【0063】負荷L1は、一端がグランドに接続され、他端（接続点p1）は、パワートランジスタ（FET、バイポーラトランジスタ、IGBT等の半導体スイッチ）T1のソースに接続され、該パワートランジスタT1のドレイン（接続点p2）は、例えば車両に搭載され

るバッテリ等の直流電源VBに接続されている。また、点p2と直流電源VBとの間には、配線インピーダンスRwが存在している。

【0064】過電流検出装置1は、抵抗R1とR2との直列接続回路、及び抵抗R3とR4との直列接続回路からなるブリッジ回路を有しており、抵抗R3の一端は点p2に接続され、抵抗R1の一端は、点p1に接続されている。また、抵抗R4の一端は、グランドに接続され、抵抗R2の一端は、可変抵抗器VRを介してグランドに接続されている。そして、抵抗R3とR4との接続点p3は、コンパレータCMP1（比較手段）のプラス側端子（非反転側）に接続され、抵抗R1とR2との接続点p4は、コンパレータCMP1のマイナス側端子（反転側）に接続されている。なお、可変抵抗器VRは、抵抗R1と抵抗R2との分圧比bを任意に設定するためのものであり、該可変抵抗器VRの抵抗値は、抵抗R2に含まれるものである。

【0065】抵抗R3に対し、並列的に、抵抗R5とトランジスタT2とダイオードD2との直列接続回路が設けられており、トランジスタT2のゲートは、コンパレータCMP1の出力端に接続されている。

【0066】また、抵抗R4に対して、並列的に、抵抗R6とトランジスタT3との直列接続回路が設けられている。

【0067】更に、直流電源VBのプラス側出力端は、抵抗R7と抵抗R8との直列接続回路に接続されており、抵抗R7と抵抗R8との接続点p6は、コンパレータCMP2のプラス側端子（非反転側）に接続されている。他方、該コンパレータCMP2のマイナス側端子（反転側）には、抵抗R5とトランジスタT2との接続点p5が接続されている。

【0068】また、点p5は、抵抗R10及びダイオードD1を介して、点p1に接続されている。

【0069】一方、負荷L1に電源電圧VBを供給するためのスイッチSW1、及び抵抗R14が設けられており、該スイッチSW1によるスイッチ投入信号は、アンド回路AND1、及びAND2を介してドライバ2に与えられるよう成了されている。

【0070】ドライバ2は、チャージポンプ3と接続されており、該チャージポンプ3より出力電圧が供給されて動作する。また、該ドライバ2の出力端は、抵抗R12を介して、パワートランジスタT1のゲートに接続されている。更に、この出力端は、ダイオードD3、及び抵抗R9を介してコンパレータCMP2のプラス端子（接続点p6）に接続されている。

【0071】コンパレータCMP2の出力端は、3系統に分岐され、1つ目の分岐線は、抵抗R13を介して5ボルトの直流電源に接続され、2つ目の分岐線は、アンド回路AND2の一入力端に接続され、3つ目の分岐線は、パルスカウンタ5に接続されている。パルスカウン

タ5の出力端は、ラッチDF1に接続され、該ラッチDF1の出力端は、アンド回路AND1の一入力端に接続されている。

【0072】更に、この過電流検出装置1は、タイマ4を有しており、該タイマ4の2つの出力端は、トランジスタT3のゲート、及びパルスカウンタ5に接続されている。また、タイマ4の入力端は、アンド回路AND2の出力端と接続されている。タイマ4は、20msタイマ部と、200msタイマ部とを有している。

【0073】ここで、上記の回路を構成する各抵抗R1～R14の抵抗値は、一例として次のように設定することができる。即ち、本実施形態では、R1=10KΩ、R2=10KΩ、R3=1.1KΩ、R4=1KΩ、R5=10KΩ、R6=3KΩ、R7=2.4KΩ、R8=10KΩ、R9=3KΩ、R10=8.2KΩ、R12=20KΩ、R13=1KΩ、そして、R14=10KΩとしている。

【0074】次に、上記のように構成された本実施形態に係る過電流検出装置1の作用について説明する。ここで、図1に示す点p1の電圧をV2、点p2の電圧をV1、点p3の電圧をVa(第2の電圧)、点p4の電圧をVb(第1の電圧)、点p5の電圧をVcとする。

【0075】本実施形態に係る過電流検出装置1では、次の4つの内容が特徴的な動作である。

【0076】(I) 電源投入時の過渡電流(突入電流)では、過電流と判断せず、回路を遮断しない。

【0077】(II) 定常電流の数倍程度の過電流(レアショート)の場合には、即時に回路を遮断せず、暫くの間過電流が流れ続けたときに、回路を遮断する。

【0078】(III) 負荷に定常電流が流れているときには、(電圧Va)=(電圧Vb)が成立するようにフィードバック制御される。即ち、通常時には(分圧比a)<(分圧比b)の環境下で動作する。

【0079】(IV) 短絡事故等、大きな過電流(デッドショート)が発生した場合には、即時に回路を遮断する。

【0080】上記(I)～(IV)の点をふまえて、まず、起動時(電源投入時)の動作について説明する。図1に示すスイッチSW1がオフとされているときには、ダイオードD3がドライバ2のシンクトランジスタ(図示省略)を介してグランドに接地されるので、コンパレータCMP2のプラス入力端の電圧は、抵抗R8と抵抗R9との並列合成抵抗と、抵抗R7とで電圧V1を分圧した電圧となる(これを電圧VLとする)。一方、パワートランジスタT1の負荷側端子(ソース)が負荷L1を介して接地されるので、コンパレータCMP2のマイナス入力端の電圧は、ダイオードD1による電圧降下を無視すれば、抵抗R5と抵抗R10で電圧V1を分圧した電圧となる。この際、コンパレータCMP2のプラス入力端の電圧は、マイナス入力端の電圧よりも大きくな

るよう、抵抗R10の抵抗値を選定する。

【0081】つまり、スイッチSW1がオフのときは、コンパレータCMP2の出力は「H」レベルとなる。また、ラッチDF1の出力信号は、スイッチSW1がオフのときは「H」レベルとなっている。

【0082】この状態でスイッチSW1がオンとされると(即ち、負荷L1へ電圧を印加するべく操作が行われると)、アンド回路AND1の2つの入力端は共に「H」となり、且つ、アンド回路AND2の2つの入力端もやはり「H」となるので、アンド回路AND2の出力信号が「H」レベルとなる。よって、ドライバ2の出力信号は「H」レベルとなる。これにより、チャージポンプ3に蓄えられている電力が放出され、パワートランジスタT1のゲートに駆動電圧が印加されるので、該パワートランジスタT1はオン状態となる。

【0083】他方、ドライバ2の出力信号が「H」レベルとなることにより、ダイオードD3は逆バイアスされ、抵抗R9に流れる電流が遮断されるので、コンパレータCMP2のプラス入力端の電圧は、電圧V1を抵抗R7と抵抗R8とで分圧した電圧(これを、閾値VHとする)まで上昇する。

【0084】また、アンド回路AND2の出力信号が「H」レベルに立ち上ると、タイマ4の200msタイマ部、及び20msタイマ部が作動を開始する。そして、20msタイマ出力が「H」レベルの間は(即ち、強制オン時間としての20msの時間が経過するまでは)、トランジスタT3のゲートに駆動電圧が印加されて、該トランジスタT3がオンとなる。

【0085】この状態では、図3を用いて既に説明したように、たとえ負荷L1に過電流が流れた場合であってもコンパレータCMP1の出力が「L」レベルに貼り付くので、電圧Vcは低下する。よって、(電圧VH)>(電圧Vc)が成立し、コンパレータCMP2の出力は「H」レベルを維持し、アンド回路AND2の出力が「H」レベルを維持するので、ドライバ2によるパワートランジスタT1の駆動が継続される。

【0086】つまり、スイッチSW1の投入後、20ms間は、コンパレータCMP2の出力は強制的に「H」レベルとされるので(但し、負荷L1にデッドショート時の過電流が流れていない場合に限る)、パワートランジスタT1はオン状態を継続する。従って、スイッチSW1投入時に過渡電流(突入電流)が流れた場合でも、20msの間は、この過渡電流により回路は遮断されない。

【0087】その後、20msが経過すると、タイマ4の動作により、トランジスタT3のゲートへの駆動電圧の供給が停止されるので、該トランジスタT3はオフとなり、電圧Vaが上昇する。このとき、過渡電流が継続して発生していれば(未だ、過渡電流が治まっていなければ)、コンパレータCMP1の出力は反転して「H」

レベルとなり、電圧  $V_c$  は上昇し、コンパレータ CMP 2 の出力は「L」レベルとなる。

【0088】これにより、一旦はパワートランジスタ T 1 がオフとなる。即ち、アンド回路 AND 2 の出力レベルが「L」となり、ドライバ 2 の制御下で、パワートランジスタ T 1 への駆動電圧の供給が停止されるので、該パワートランジスタ T 1 はオフとなる。

【0089】その結果、電圧  $V_2$  が低下し、これに伴つて、電圧  $V_b$  が低下する。電圧  $V_b$  の低下により電圧  $V_c$  は上昇し始めるが、電圧  $V_2$  の低下が進むに連れて、電圧  $V_c$  は抵抗 R 10 とダイオード D 1 との直列接続回路により引き下げられる。

【0090】他方、パワートランジスタ T 1 がオフとなることにより、コンパレータ CMP 2 のプラス側入力端の電圧は、スイッチ SW 1 投入前の初期状態と同様になり、抵抗 R 9、及びダイオード D 3 を介してドライバ 2 のシンクトランジスタ（図示省略）により接地され、低電圧レベル  $V_L$  となっている。そして、上記の電圧  $V_c$  がこの電圧  $V_L$  を下回ると、コンパレータ CMP 2 の出力は「H」レベルに反転する。

【0091】これにより、アンド回路 AND 2 の出力が「H」レベルとなり、パワートランジスタ T 1 がオンし、同時に、タイマ 4 の 20 ms タイマ部が作動する。このため再度トランジスタ T 3 がオンし、パワートランジスタ T 1 は、20 ms 間オンを続ける。

【0092】即ち、スイッチ SW 1 の投入時に過渡電流（突入電流）が発生すると、当該過電流検出回路 1 は、過電流の発生を検出して、パワートランジスタ T 1 を遮断するが、該パワートランジスタ T 1 は再度オンとされる。そして、20 ms のオン時間が4回繰り返される時間内（パルスカウンタ 5 のカウント値を4回に設定した場合）に過渡電流が治まり、定常状態となれば、パワートランジスタ T 1 はオン状態を継続し、回路は遮断されない。従って、通常動作時における過渡電流による回路の遮断を防止することができる。

【0093】図 7 は、このときの様子を示す特性図であり、時刻  $t_1$  がスイッチ SW 1 投入時を示す。また、曲線 s 1 は電圧  $V_2$  の変化、曲線 s 2 はコンパレータ CMP 2 のプラス側入力端の電圧変化、曲線 s 3 はコンパレータ CMP 2 のマイナス側入力端の電圧変化、そして、曲線 s 4 は負荷電流 I の変化を示している。また、横軸の1区間（5目盛り分）が時間 20 ms を示している。

【0094】なお、同図では示されないが、曲線 s 3 は、スイッチ SW 1 を投入してから 20 ms 経過後（時刻  $t_2$ ）、及び 40 ms 経過後（時刻  $t_3$ ）にて瞬時に立ち上がり、曲線 S 2 を越えている。

【0095】そして、同図から理解されるように、スイッチ SW 1 の投入時に、曲線 s 4 に示す如くの過渡電流 I が流れた場合であっても、スイッチ SW 1 投入後 80 ms の間は、曲線 s 3 が曲線 s 2 を越えないように動作

するので（実際には、瞬時に越えているが、即時に元に戻る）、回路は遮断されず、過渡電流 I が治まり定常電流となった後、正常に動作する。

【0096】次に、負荷回路にレアショートが発生した場合について説明する。レアショートが発生した場合には、定常電流の数倍程度の電流がパワートランジスタ T 1 に流れることになる。この場合、上述の過渡電流が流れたときのように、時間の経過と共に定常電流まで低下せず、過電流が暫くの間継続されることが多い。つまり、過電流が 80 ms (20 ms × 4 回) 以上の時間継続されるので、上記の動作説明で、パルスカウンタ 5 のカウント値が4回カウントされることになる。これにより、ラッチ DF 1 の出力が「L」レベルに切り換えられ、アンド回路 AND 1 の出力を「L」レベルとする。これにより、スイッチ SW 1 の投入状態に関わらず、強制的にパワートランジスタ T 1 がオフとされる。

【0097】即ち、レアショート発生時には、即時に負荷 L 1 への電圧供給回路を遮断するのではなく、20 ms の強制的なオン時間を4回繰り返し、なお且つレアショートが治まっていない場合に、パワートランジスタ T 1 をオフとする。

【0098】なお、パルスカウンタ 5 のカウント値は、タイマ 4 の 200 ms タイマ部により 200 ms の時間経過が確認された際に、リセットされる。

【0099】次に、定常状態について説明する。上述した過渡電流の発生が治まり、負荷 L 1 に定常電流が流れると、電圧  $V_a$  と電圧  $V_b$  とが等しくなるように、トランジスタ T 2 に流れる電流 I 2 が制御される。即ち、電圧  $V_b$  が電圧  $V_a$  よりも大きくなると、コンパレータ CMP 1 の出力が「L」となり、トランジスタ T 2 のゲート電圧が低下するので、該トランジスタ T 2 に流れる電流 I 2 が増加する。そして、抵抗 R 4 に発生する電圧が上昇するので、電圧  $V_a$  が上昇し、電圧  $V_b = V_a$  が成立するように動作する。

【0100】これとは反対に、電圧  $V_a$  が電圧  $V_b$  よりも大きくなると、コンパレータ CMP 1 の出力が「H」となり、トランジスタ T 2 のゲート電圧が上昇するので、電流 I 2 が減少し、抵抗 R 4 に発生する電圧が低下する。そして、電圧  $V_a$  が低減して、電圧  $V_b = V_a$  が成立するように動作する。

【0101】このとき、前述したように、(分圧比 a) < (分圧比 b) が成立しているので、パワートランジスタ T 1 に流れる電流変化に対して、分圧比 a が敏感に変化し、高精度な電流値の検出が可能となる。

【0102】次に、負荷 L 1 にデッドショートが発生した場合について説明する。デッドショートは、電源とグランドが直接短絡した場合のような大事故の場合であり、この場合には、上述した過渡電流やレアショート時に流れる電流よりも大きな電流が瞬時に流れる。

【0103】そして、デッドショートが発生すると、負

荷 L 1 とパワートランジスタ T 1 との接続点の電圧 V 2 が著しく低下する。従って、電圧 V a に対して電圧 V b は著しく低下し、前述した過渡電流発生時の動作と同様に、トランジスタ T 3 が 20 ms の間オンとなる。よって、抵抗 R 4 と抵抗 R 6 との並列接続回路が形成されて、電圧 V a を低下させる。

【0104】しかし、デッドショート発生時には、電圧 V b は著しく低下するので、抵抗 R 4 と抵抗 R 6 との並列接続回路が形成された場合であっても、電圧 V a の方が電圧 V b よりも大きくなる。従って、20 ms の時間を持つことなく、コンパレータ CMP 2 の出力が「H」レベルから「L」レベルに低下し、この回数が、瞬時にパルスカウンタ 5 により 4 回カウントされる。これにより、ラッチ D F 1 が動作してアンド回路 AND 1 への出力信号を「L」レベル信号として、パワートランジスタ T 1 をオフとさせる。

【0105】つまり、デッドショートが発生した場合には、ほとんど瞬時にパワートランジスタ T 1 をオフとすることにより、パワートランジスタ T 1 に流れる過電流を阻止し、異常な発熱、或いは回路の焼損を未然に防止することができる。

【0106】図 8 は、デッドショート発生時の、各電圧、電流の変化を示す特性図であり、時刻 t 1 1 がデッドショート発生時刻を示す。また、曲線 s 1 1 は電圧 V 2 の変化、曲線 s 1 2 はコンパレータ CMP 2 のプラス側入力端の電圧変化、曲線 s 1 3 はコンパレータ CMP 2 のマイナス側入力端の電圧変化、そして、曲線 s 1 4 は負荷電流 I の変化を示している。また、横軸の 1 区間（5 目盛り分）が時間 50 μ s を示している（図 7 と比較して横軸のスケールが相違している）。

【0107】そして、同図より、時刻 t 1 1 にてデッドショートが発生すると、曲線 s 1 3 が曲線 s 1 2 を越える回数が瞬時に 4 回を越えることが理解される。従って、図 1 に示すパルスカウンタ 5 のカウント値が即時に 4 回をカウントして、パワートランジスタ T 1 をオフとして、負荷 L 1 及び該負荷 L 1 へ接続される配線を保護する。

【0108】デッドショートが発生してから、パワートランジスタ T 1 が遮断されるまでの所要時間は約 200 ~ 300 μ s 程度である。また、スイッチ SW 1 を投入する前からデッドショートが発生していた場合についても同様の動作となる。

【0109】このようにして、本実施形態に係る過電流検出装置 1 では、分圧比 b を固定し、且つ電圧 V a と電圧 V b が等しくなるように制御したときの、分圧比 a の変化を検出することにより、負荷 L 1 に流れる電流値の変化を検出しているので、負荷 L 1 に流れる電流値を高精度に検出することができる。

【0110】また、スイッチ SW 1 投入時に発生する過渡電流では、回路は遮断されることなく正常に動作し、

更に、レアショート発生時（定常電流の数倍程度の電流）が流れた場合には、暫くの間（この例では、20 ms が 4 回で合計 80 ms）が経過した後に回路を遮断する。

【0111】また、電源とグランドとが直接短絡するようなデッドショートが発生した場合には、ほぼ瞬時に回路が遮断されるので、負荷 L 1 、及び該負荷 L 1 と電源 V B を接続する電線を保護することができる。更に、従来のシャント抵抗を用いる場合と比較して、低コスト化、省スペース化を図ることができる。

【0112】なお、本実施形態では、タイマ 4 で 20 ms の時間を設定し、パルスカウンタ 5 にて 4 回のカウント値を設定しているが、本発明は、これに限定されるものではない。タイマ 4 にて 20 ms よりも長い時間、或いは短い時間を設定してもよいし、パルスカウンタ 5 にて 5 回以上、或いは 3 回以下のカウント値を設定することも可能である。

【0113】次に、本発明の第 2 の実施形態について説明する。図 9 は、第 2 の実施形態に係る過電流検出装置 1 1 の構成を示す回路図である。第 2 の実施形態と前述した第 1 の実施形態とは、デッドショートが発生した場合には、パルスカウンタ 5 により 4 回カウントすることなく、即時にパワートランジスタ T 1 をオフとすることにより、より即時性を持たせて回路を保護するように構成している。以下、詳しく説明する。

【0114】図 9において、図 1 に示した回路と同一部分には同一の符号を付してその構成説明を省略し、以下、相違する部分についての構成を説明する。図 9 に示すように、この過電流検出装置 1 1 は、コンパレータ C MP 2 の出力端にインバータ NOT 1 が接続され、該インバータ NOT 1 の出力と、タイマ 4 の 20 ms タイマ部出力とが入力端に接続されたアンド回路 AND 3 と、該アンド回路 AND 3 の出力と、パルスカウンタ 5 の出力とが入力端に接続されたオア回路 OR 1 とを具備しており、該オア回路 OR 1 の出力端は、ラッチ D F 1 に接続されている。その他の構成は、図 1 に示した回路と同一である。

【0115】以下、第 2 の実施形態に係る過電流検出装置 1 1 の動作について説明する。図 9 に示す過電流検出装置 1 1 では、コンパレータ CMP 2 の出力が「L」レベルとなり、且つ、タイマ 4 の 20 ms 出力が「H」レベルである場合には、強制的にラッチ D F 1 をオフとするように動作する。

【0116】即ち、前述したように、デッドショート発生時には、トランジスタ T 3 のゲートに駆動信号が出力されているにも関わらず、コンパレータ CMP 2 の出力が「L」レベルとなるので、これらの条件が満たされた場合には、アンド回路 AND 3 の出力が「H」レベルとなり、パルスカウンタ 5 の出力に関わらず、ラッチ D F 1 をオフとする。つまり、パルスカウンタ 5 が 4 回カウ

ントすることなく、パワートランジスタ T 1 をオフとすることができる。

【0117】従って、デッドショート発生時には、即時に回路を遮断させ、負荷 L 1 及び該負荷 L 1 に接続される電線を保護することができる。

【0118】なお、上記した過電流検出装置は、車両に搭載されるバッテリと、ランプやモータ等の負荷との間に設置して使用する場合以外においても適用することができるものである。

【0119】また、図 1、及び図 9 に示した過電流検出装置 1, 11 を、同一の半導体チップ内に設けることにより、より一層省スペース化を図ることができる。

#### 【0120】

【発明の効果】以上説明したように、本発明の過電流検出装置では、半導体スイッチに流れる電流値が変化すると、配線インピーダンス及び半導体スイッチのオン抵抗に起因して分圧比 a、分圧比 b が変化し、この変化量に基づいて、過電流の発生を検出しているので、過電流の発生を高精度に求めることができる。

【0121】また、従来のシャント抵抗を用いて過電流の発生を検出する方法と比較し、回路規模を小型化することができ、且つ低コスト化を図ることができる。更に、電源投入時の過渡電流が発生した場合であっても、回路が遮断されることがない。

【0122】また、レアショート発生時には、該レアショートが暫くの間継続されたときに、回路を遮断し、デッドショート発生時には即時に回路を遮断するので、負荷、及び電源と負荷を接続する電線、及び半導体スイッチを過電流から保護することができる。

#### 【図面の簡単な説明】

10

20

30

【図 1】本発明の第 1 の実施形態に係る過電流検出装置の構成を示す回路図である。

【図 2】本発明に係る過電流検出回路の動作原理を示す回路図である。

【図 3】本発明に係る過電流検出回路の動作原理を示す回路図である。

【図 4】負荷電流が変化したときの、分圧比 a の値の変化を示す特性図である。

【図 5】正規化負荷電流 I N に対する分圧比 a の変化の様子を示す特性図である。

【図 6】正規化負荷電流 I N に対する分圧比 a の微分値の変化の様子を示す特性図である。

【図 7】過渡電流発生時における電圧、電流の変化を示す特性図である。

【図 8】デッドショート発生時における電圧、電流の変化を示す特性図である。

【図 9】本発明の第 2 の実施形態に係る過電流検出回路の構成を示す回路図である。

#### 【符号の説明】

1, 11 過電流検出装置

2 ドライバ

3 チャージポンプ

4 タイマ

5 パルスカウンタ

L 1 負荷

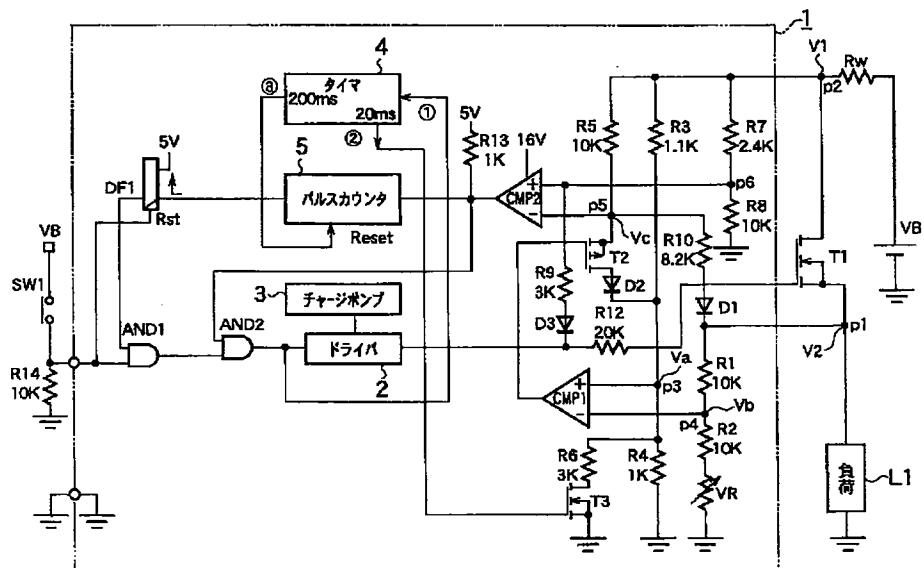
T 1 パワートランジスタ

T 2, T 3 トランジスタ

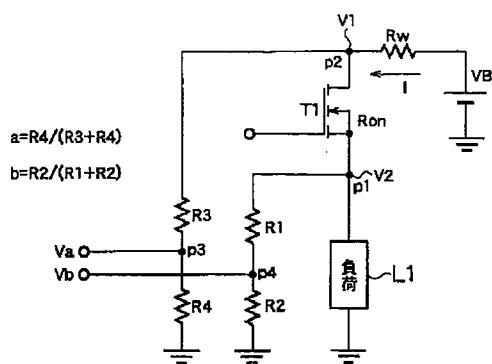
CMP 1, CMP 2 コンパレータ

SW 1 スイッチ

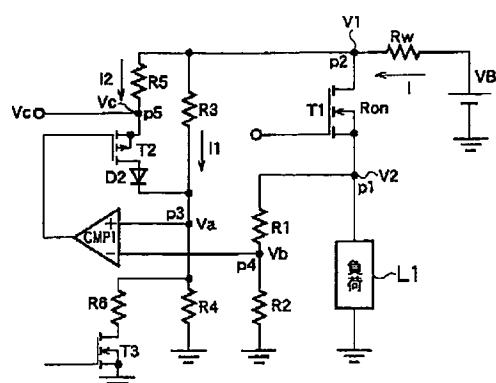
【図 1】



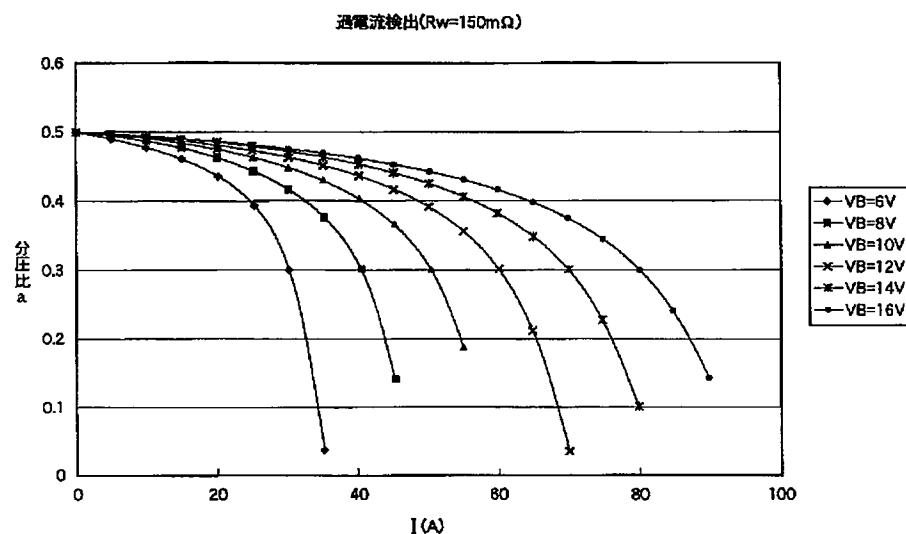
【図 2】



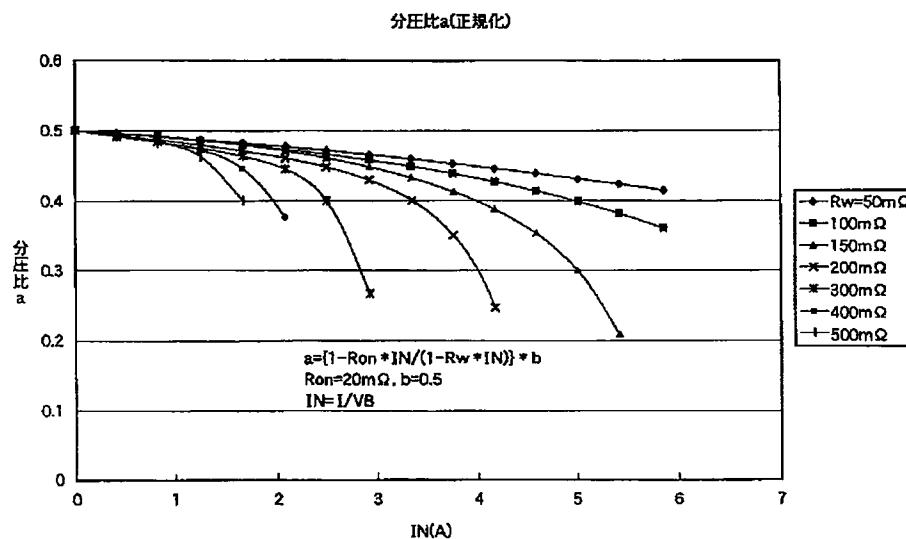
【図 3】



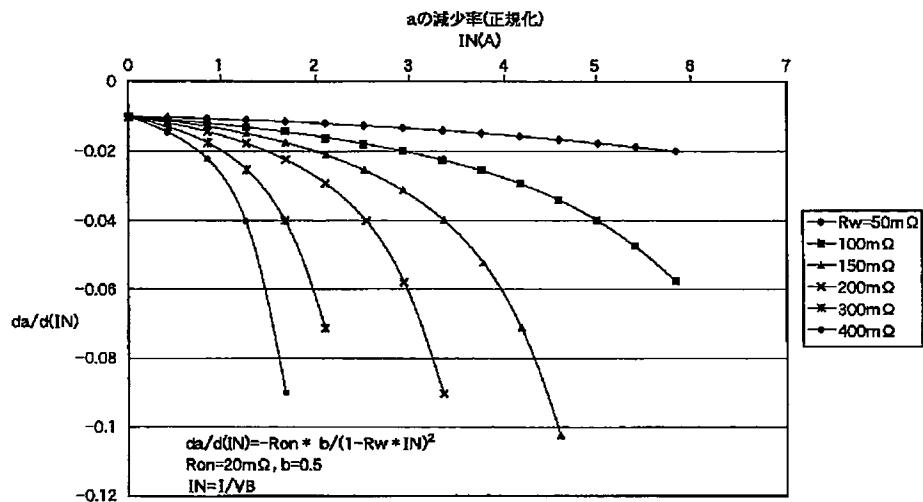
【図 4】



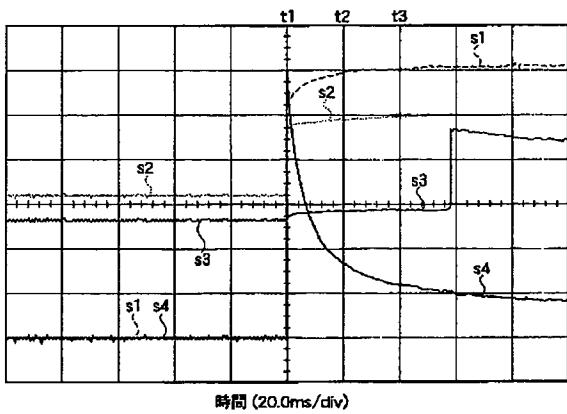
【図 5】



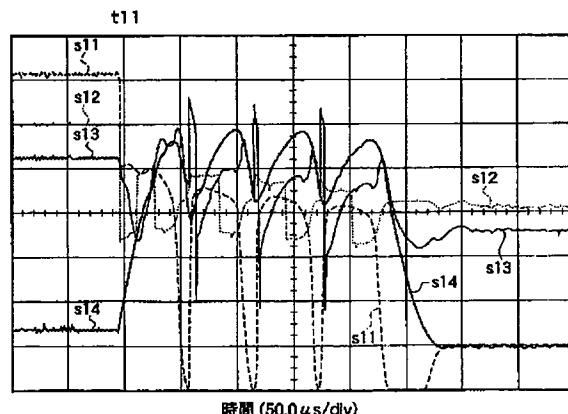
【図 6】



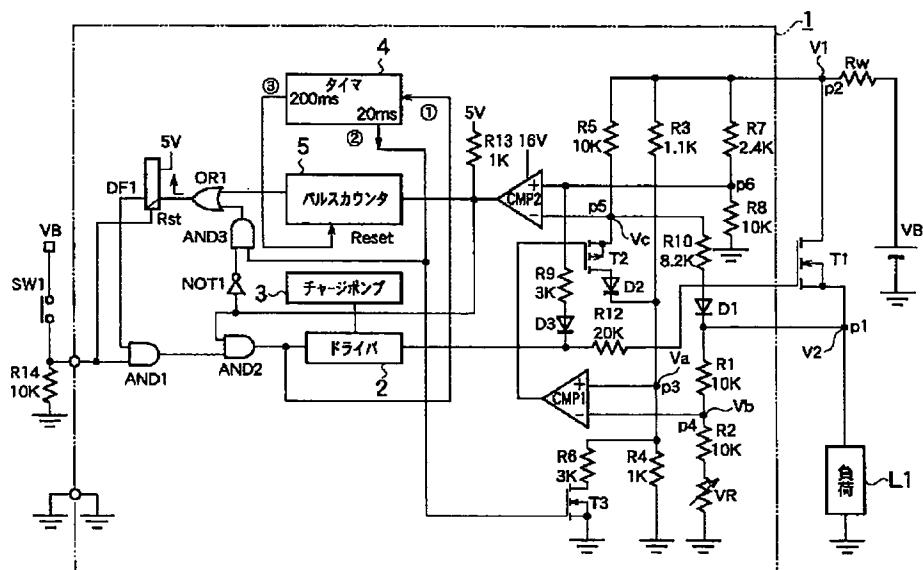
【図 7】



【図 8】



【図 9】



## フロントページの続き

(51) Int. Cl. <sup>7</sup>	識別記号	F I	マーク(参考)
H 0 3 K	17/08	H 0 3 K	17/08
	17/687		17/687
		C	
		A	

F ターム(参考) 2G035 AA15 AB02 AC16 AD03 AD04  
AD11 AD12 AD23 AD25 AD27  
AD29 AD49  
5G004 AA04 AB02 BA03 BA04 DA04  
DC04 DC07 EA01 FA01  
5G053 AA01 AA02 BA01 BA04 CA01  
CA07 DA01 EC03 FA05  
5H740 AA08 BA12 BB01 BB07 BB10  
BC01 BC02 KK01 MM11  
5J055 AX44 AX53 AX64 BX16 CX20  
CX22 DX13 EX07 EX15 EX31  
EY12 EY21 EZ10 EZ34 EZ43  
EZ55 FX05 FX08 FX12 FX32  
FX33 FX38 GX01 GX06